

#6 PRIORITY
PAPER
5-22-01
R. K. K.

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Hitoshi ASADA, et al.**

Serial No.: **Not Yet Assigned**

Filed: **January 4, 2001**

10918 U.S. PTO
09/753616
01/04/01

For: **CMOS IMAGE SENSOR AND MANUFACTURING METHOD OF THE SAME**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Director of Patents and Trademarks
Washington, D.C. 20231

January 4, 2001

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

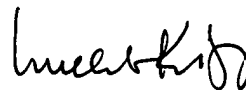
Japanese Appln. No. 2000-113473, filed April 14, 2000

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of these applications be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN, HATTORI
MCLELAND & NAUGHTON, LLP



William G. Kratz, Jr.
Reg. No. 22,631

Atty. Docket No.: 001694
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
WGK/ll

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

Jc918 U.S. PTO

09/753616



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 4月14日

出 願 番 号

Application Number:

特願2000-113473

出 願 人

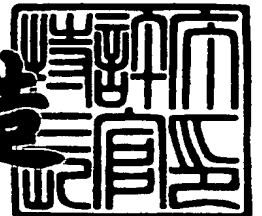
Applicant (s):

富士通株式会社

2000年 9月 8日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3072994

【書類名】 特許願

【整理番号】 0040304

【提出日】 平成12年 4月14日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/335

【発明の名称】 CMOS イメージセンサ及びその製造方法

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 浅田 仁志

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 宮沢 清志

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100091672

【弁理士】

【氏名又は名称】 岡本 啓三

【電話番号】 03-3663-2663

【手数料の表示】

【予納台帳番号】 013701

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704683

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 CMOS イメージセンサ及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板に不純物を導入して形成されたフォトダイオードと、前記半導体基板に不純物を導入して形成された複数の MOS トランジスタとにより構成される CMOS イメージセンサにおいて、

前記フォトダイオードの不純物領域と接続した不純物領域を有する MOS トランジスタの少なくとも前記フォトダイオード側の前記不純物領域の表面にシリサイド膜がなく、他の MOS トランジスタの不純物領域の表面にシリサイド膜が設けられていることを特徴とする CMOS イメージセンサ。

【請求項 2】 半導体基板に形成されたフォトダイオードと、

前記半導体基板に形成され、前記フォトダイオードの不純物領域に連続する不純物領域をドレインとする第 1 の MOS トランジスタと、

前記半導体基板に形成され、前記第 1 の MOS トランジスタのソースに連続する不純物領域をソースとする第 2 の MOS トランジスタと、

前記半導体基板に形成され、前記第 2 の MOS トランジスタのドレインに連続する不純物領域をソースとする第 3 の MOS トランジスタとを有し、

前記第 1 の MOS トランジスタの前記ドレインの表面にはシリサイド膜がなく、前記第 1 の MOS トランジスタのソースの表面、並びに前記第 2 の MOS トランジスタ及び第 3 の MOS トランジスタのソース及びドレインの表面にシリサイド膜が形成されていることを特徴とする CMOS イメージセンサ。

【請求項 3】 前記半導体基板に、前記第 3 の MOS トランジスタから出力される信号を処理する MOS トランジスタ回路が形成されていることを特徴とする請求項 2 に記載の CMOS イメージセンサ。

【請求項 4】 半導体基板に不純物を導入しフォトダイオードを形成する工程と、

前記半導体基板の上にゲート絶縁膜を介してゲート電極を形成する工程と、

前記半導体基板に N 型不純物を導入して前記フォトダイオードのカソードに連続した N 型不純物領域を有するリセットトランジスタを含む複数の N チャネル M

ＯＳトランジスタを形成する工程と、

少なくとも前記フォトダイオードの上から前記リセットトランジスタの前記フォトダイオード側の不純物領域の上までの領域を覆う第１の絶縁膜を形成する工程と、

前記半導体基板の上側に金属膜を形成し、該金属膜中の金属と前記シリコン基板の表面のシリコンとを反応させてシリサイド膜を形成する工程と

を有することを特徴とするＣＭＯＳイメージセンサの製造方法。

【請求項５】 前記シリサイド膜を形成する工程の後に、

前記金属膜を除去し、前記シリサイド膜のみを残す工程と、

前記半導体基板の上側に第２の絶縁膜を形成する工程と、

前記第２の絶縁膜に、前記リセットトランジスタの前記フォトダイオード側不純物領域に到達するコンタクトホールと、所定の前記シリサイド膜に到達するコンタクトホールとを形成する工程と、

前記コンタクトホールに導電体を埋め込み前記第２の絶縁膜上に導電膜を形成する工程と、

前記導電膜をパターニングして配線を形成する工程と

を有することを特徴とする請求項４に記載のＣＭＯＳイメージセンサの製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、半導体基板に形成されたフォトダイオード及びＭＯＳトランジスタにより構成されるＣＭＯＳイメージセンサ及びその製造方法に関する。

【０００２】

【従来の技術】

近年、固体撮像素子として、ＣＭＯＳイメージセンサが広く使用されるようになった。ＣＭＯＳイメージセンサは、ＣＣＤ（Charge Coupled Device）に比べて消費電力が小さく、単一電源で駆動可能であること、タイミング発生回路や読み出し回路及びＡ／Ｄコンバータ等の周辺回路を一体的に形成可能であることな

ど、種々の長所がある。

【 0 0 0 3 】

図 2 1 は CMOS イメージセンサの 1 画素の等価回路図である。この図 2 1 に示す CMOS イメージセンサの 1 画素は、1 個のフォトダイオード PD と 3 個の N チャネル MOS トランジスタ T1, T2, T3 とにより構成されている。フォトダイオード PD のカソードはトランジスタ T1 のドレイン及びトランジスタ T2 のゲートに接続されている。トランジスタ T1, T2 のソースは、いずれも基準電圧 V_R が供給される電源線に接続されている。また、トランジスタ T1 のゲートには、リセット信号 RST が供給されるリセット線に接続されている。

【 0 0 0 4 】

トランジスタ T3 のソースはトランジスタ T2 のドレインに接続され、ドレインは信号線を介して読み出し回路（図示せず）に接続され、ゲートはセレクト信号 S_{LCT} が供給される列選択線に接続されている。

なお、トランジスタ T1 はリセットトランジスタといわれ、トランジスタ T2 はドライブ用トランジスタ、トランジスタ T3 は選択用トランジスタといわれる。

【 0 0 0 5 】

CMOS イメージセンサでは、半導体基板に図 2 1 に等価回路で表される複数の画素が水平方向及び垂直方向に並び、更にそれらの画素が形成された領域の外側に読み出し回路や A/D（アナログデジタル）変換回路等の周辺回路が形成されている。

なお、特開平 1 0 - 2 4 8 0 3 5 号公報には、リセットトランジスタのゲートに供給する信号の電位を 3 段階に変化させ、CMOS イメージセンサのダイナミックレンジを拡大する駆動方法が開示されている。

【 0 0 0 6 】

【発明が解決しようとする課題】

ところで、図 2 1 に示す回路を半導体基板に形成する場合、半導体基板に形成された MOS トランジスタのソース・ドレインと、半導体基板の上に絶縁膜を介して形成された配線とを電氣的に接続することが必要である。単に、絶縁膜にコ

ンタクトホールを形成し、該コンタクトホールに導電体を埋め込んだだけでは、導電体とソース・ドレインとの接触抵抗が大きくなる。MOSトランジスタのソース・ドレインの表面にシリサイド膜を形成し、該シリサイド膜を介してソース・ドレインと配線とを電氣的に接続することにより抵抗値を低減することも考えられるが、そうすると、リセットトランジスタとフォトダイオードとの接続部分でリーク電流が増加して、特性劣化の原因となる。なお、リーク電流には、フィールド酸化膜のエッジ部分でリークする周辺長成分とPN接合部でリークする面積成分とがある。周辺長成分のリークの原因は、フィールド酸化膜のエッジの注入イオン濃度が薄くなっていると考えられる部分で、注入イオンがシリサイド中に吸収され、更にイオン濃度が薄くなるためと考えられる。また、面積成分は、シリサイド形成時に空乏層が金属原子で汚染されることにより増加すると考えられる。

【0007】

以上から、本発明は、MOSトランジスタのソース・ドレインと配線との間の抵抗値を低減し、リセットトランジスタのドレイン部でのリーク電流を抑制したCMOSイメージセンサ及びその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】

上記した課題は、半導体基板に不純物を導入して形成されたフォトダイオードと、前記半導体基板に不純物を導入して形成された複数のMOSトランジスタとにより構成されるCMOSイメージセンサにおいて、前記フォトダイオードの不純物領域と接続した不純物領域を有するMOSトランジスタの少なくとも前記フォトダイオード側の前記不純物領域の表面にシリサイド膜がなく、他のMOSトランジスタの不純物領域の表面にシリサイド膜が設けられていることを特徴とするCMOSイメージセンサにより解決する。

【0009】

本発明においては、フォトダイオードの不純物領域と接続する不純物領域を有するMOSトランジスタ（リセットトランジスタ）のソース・ドレインのうちフォトダイオード側の不純物領域の上に、シリサイド膜が形成されていない。この

ため、金属原子に起因するリーク電流の増大が防止され、ノイズの少ないCMOSイメージセンサが得られる。

【0010】

また、本発明においては、リセットトランジスタを除くMOSトランジスタの不純物領域の上に、シリサイド膜が形成されている。そして、このシリサイド膜を介して配線と不純物領域とが電氣的に接続される。これにより、配線と不純物領域との間のコンタクト抵抗が低くなり、電氣的特性の低下が回避される。

また、上記した課題は、半導体基板に不純物を導入しフォトダイオードを形成する工程と、前記半導体基板の上にゲート絶縁膜を介してゲート電極を形成する工程と、前記半導体基板にN型不純物を導入して前記フォトダイオードのカソードに連続したN型不純物領域を有するリセットトランジスタを含む複数のNチャネルMOSトランジスタを形成する工程と、少なくとも前記フォトダイオードの上から前記リセットトランジスタの前記フォトダイオード側の不純物領域の上までの領域を覆う第1の絶縁膜を形成する工程と、前記半導体基板の上側に金属膜を形成し、該金属膜中の金属と前記シリコン基板の表面のシリコンとを反応させてシリサイド膜を形成する工程とを有することを特徴とするCMOSイメージセンサの製造方法により解決する。

【0011】

本発明方法においては、フォトダイオード形成部からリセットトランジスタのドレイン部までの領域を絶縁膜で覆い、その後シリサイド膜形成用の金属膜を形成する。これにより、フォトダイオードからリセットトランジスタのドレイン部間での領域の基板表面には金属原子がなく、金属原子に起因するリーク電流の増大が防止される。

【0012】

【発明の実施の形態】

以下、本発明の実施の形態について、添付の図面を参照して説明する。

図1は本発明の実施の形態のCMOSイメージセンサのブロック図、図2は同じくそのCMOSイメージセンサの1画素を示す平面図である。

図1に示すように、半導体基板10には、受光部1、読み出し回路2、タイミ

ング発生回路 3 及び A/D コンバータ 4 等の回路が形成されている。受光部 1 には多数の画素が配列して形成されている。1 つの画素は、図 2 に示すように、1 個のフォトダイオード PD と 3 個の N チャネル MOS トランジスタ T1, T2, T3 とにより構成され、その等価回路は図 2 1 により表される。また、読み出し回路 2、タイミング発生回路 3 及び A/D コンバータ 4 等の回路は、CMOS により構成される。

【 0 0 1 3 】

図 3 ～図 1 8 は本発明の実施の形態の CMOS イメージセンサの製造方法を示す図である。なお、図 3 ～図 1 0 はフォトダイオード及びリセットトランジスタ部分の断面図、図 1 1 ～図 1 8 は周辺回路の CMOS 回路部における断面図である。

まず、図 3 (a), 図 1 1 (a) に示すように、半導体基板 1 0 の表面を熱酸化させて約 3 nm の厚さのシリコン酸化膜 (図示せず) を形成した後、その上にシリコン窒化膜 (SiN 膜) 1 1 を約 1 1 5 nm の厚さに形成する。そして、シリコン窒化膜 1 1 の上に、フィールド酸化膜形成部に対応する部分に窓を有するレジスト膜 1 2 を形成し、このレジスト膜 1 2 をマスクにしてシリコン窒化膜 1 1 をエッチングする。その後、レジスト膜 1 2 を除去する。

【 0 0 1 4 】

次に、図 3 (b), 図 1 1 (b) に示すように、半導体基板 1 0 の上側全面にフォトリソ膜 1 3 を塗布し、露光及び現像工程を経て、P チャネル MOS トランジスタ形成部に対応する部分に窓を設ける。そして、この窓を介して半導体基板 1 0 にリン (P) を、例えば 1 8 0 keV、 $1.4 \times 10^{13} / \text{cm}^2$ の条件でイオン注入して、N 型不純物領域 4 1 を形成する。

【 0 0 1 5 】

その後、図 3 (c), 図 1 1 (c) に示すように、レジスト膜 1 3 を除去し、1 1 5 0 °C の温度で熱処理を施して不純物を拡散させ、P チャネル MOS トランジスタ形成部に N ウェル 4 2 を形成する。

次に、図 4 (a), 図 1 2 (a) に示すように、9 0 0 °C の温度で熱処理を施し、シリコン窒化膜 1 1 に覆われてない部分に厚さが約 3 7 0 nm のフィールド

酸化膜 16 を形成する。その後、シリコン窒化膜 11 を除去する。

【0016】

次に、フォトダイオード形成部のウェルを形成する。すなわち、図 4 (b) に示すように、受光部全体にホウ素 (B) を、例えば 600 keV 、 $3 \times 10^{12} / \text{cm}^2$ の条件でイオン注入して、半導体基板 10 中に P 型不純物層 (ウェル) 43 を形成する。

その後、図 4 (c)，図 12 (b) に示すように、フォトダイオード形成部及び P チャネル MOS トランジスタ形成部の上をレジスト膜 17 で覆い、N チャネル MOS トランジスタ形成部にホウ素 (B) を、例えば 140 keV 、 $8 \times 10^{12} / \text{cm}^2$ の条件でイオン注入し、P ウェル 44 を形成するとともに、N チャネル MOS トランジスタのチャネルストップ層 44a を形成する。その後、レジスト膜 17 を除去する。

【0017】

次に、図 5 (a)，図 12 (c) に示すように、 800°C の温度で熱処理して半導体基板 10 の表面に厚さが約 7 nm のシリコン酸化膜 (ゲート酸化膜) 18 を形成する。そして、CVD (Chemical Vapor Deposition) 法により、半導体基板 10 の上側全面にアモルファスシリコン膜 19 を約 50 nm の厚さに形成する。

【0018】

その後、図 5 (b) に示すように、フォトダイオード形成部のアモルファスシリコン膜 19 上にレジスト膜 20 を形成した後、レジスト膜 20 に覆われていない部分の半導体基板 10 中にホウ素 (B) を、例えば 30 keV 、 $1.8 \times 10^{12} / \text{cm}^2$ の条件でイオン注入する。これは、N チャネル MOS トランジスタ及び P チャネル MOS トランジスタのしきい値を調整するために行うものである。その後、レジスト膜 20 を除去する。

【0019】

次に、図 5 (c)，図 13 (a) に示すように、アモルファスシリコン膜 19 の上に WSi (タングステンシリコン) 膜 21 を 150 nm の厚さに成長する。そして、リン (P) を、例えば 40 keV 、 $8 \times 10^{15} / \text{cm}^2$ の条件でイオン

注入して、アモルファスシリコン膜 1 9 を低抵抗化する。

次に、図 6 (a) , 図 1 3 (b) に示すように、CVD法により、W S i 膜 2 1 の上に、シリコン酸化膜 2 2 を約 4 5 n m の厚さに形成し、このシリコン酸化膜 2 2 の上に反射防止層として、P V D (Physical Vapor Deposition) 法によりアモルファスカーボン膜 (図示せず) を約 3 2 n m の厚さに形成する。

【 0 0 2 0 】

その後、図 6 (b) , 図 1 3 (c) に示すように、フォトリソグラフィによりアモルファスカーボン膜、シリコン酸化膜 2 2 、W S i 膜 2 1 、アモルファスシリコン膜 2 0 及びシリコン酸化膜 1 8 をエッチングして、各MOSトランジスタのゲート電極を形成する。

次に、図 6 (c) に示すように、フォトダイオード形成部に窓を有するレジスト膜 2 3 を形成し、フォトダイオード形成部にリン (P) を、例えば 2 0 k e V 、 $4 \times 10^{15} / \text{cm}^2$ の条件でイオン注入して、N型不純物領域 4 5 を形成する。その後、レジスト膜 2 3 を除去し、1 0 0 0 ° C の温度で 1 0 秒間熱処理を施す。

【 0 0 2 1 】

次に、図 7 (a) , 図 1 4 (a) に示すように、PチャネルMOSトランジスタ形成部及びフォトダイオード形成部を覆うレジスト膜 2 5 を形成し、NチャネルMOSトランジスタ形成部のゲート電極の両側にリン (P) を、例えば 2 0 k e V 、 $4 \times 10^{13} / \text{cm}^2$ の条件でイオン注入して低濃度N型不純物領域 4 6 を形成する。その後、レジスト膜 2 5 を除去する。

【 0 0 2 2 】

次に、図 7 (b) , 図 1 4 (b) に示すように、NチャネルMOSトランジスタ形成部及びフォトダイオード形成部を覆うレジスト膜 2 6 を形成し、PチャネルMOSトランジスタ形成部のゲート電極の両側にB F ₂ を、例えば 2 0 k e V 、 $10^{13} / \text{cm}^2$ の条件でイオン注入して低濃度P型不純物領域 4 7 を形成する。その後、レジスト膜 2 6 を除去する。

【 0 0 2 3 】

次に、図 7 (c) , 図 1 4 (c) に示すように、半導体基板 1 0 の上側全面に

シリコン酸化膜 27 を 120 nm の厚さに形成する。そして、シリコン酸化膜 27 の上にフォトリソ膜 28 を形成し、シリサイドブロックとなる部分をパターンニングする。本実施の形態では、図 2 に破線で示す部分、すなわちフォトダイオード形成部からリセットトランジスタ T1 のドレインに対応する部分までをレジスト膜 28 で覆う。

【 0 0 2 4 】

次に、図 8 (a) , 図 15 (a) に示すように、シリコン酸化膜 27 を異方性エッチングして、ゲート電極の側部にサイドウォール 29 を形成する。その後、レジスト膜 28 を除去する。

次に、図 15 (b) に示すように、PチャネルMOSトランジスタ形成部以外の部分を覆うレジスト膜 30 を形成し、PチャネルMOSトランジスタのゲート電極の両側に BF_2 を、例えば 20 keV、 $3 \times 10^{15} / \text{cm}^2$ の条件でイオン注入して、高濃度P型不純物領域 48 を形成する。その後、レジスト膜 30 を除去する。

【 0 0 2 5 】

また、図 8 (b) , 図 15 (c) に示すように、PチャネルMOSトランジスタ形成部を覆うレジスト膜 31 を形成し、NチャネルMOSトランジスタのゲート電極の両側に砒素 (As) を 30 keV、 $10^{15} / \text{cm}^2$ の条件でイオン注入して、高濃度P型不純物領域 49 を形成する。その後、レジスト膜 31 を除去する。そして、1000℃の温度で10秒間熱処理して、P型不純物領域 48 及びN型不純物領域 49 を活性化する。これにより、LDD構造のNチャネルMOSトランジスタ及びPチャネルMOSトランジスタが完成する。但し、リセットトランジスタ T1 のドレイン側 (フォトダイオードとの接続側) ではLDD構造とはならないが、本願発明者らの実験では、このような構造としても実用上支障ないことが確認されている。

【 0 0 2 6 】

次に、図 8 (c) , 図 16 (a) に示すように、半導体基板 10 の上側全面にTiをスパッタして、厚さが30 nmのTi膜 32 を形成する。その後、700℃の温度で90秒間加熱し、半導体基板 10 と接触している部分のTi膜 32 を

シリサイド化する。

その後、図 9 (a) , 図 1 6 (b) に示すように、未反応の Ti 膜 3 2 をエッチングにより除去する。これにより、MOS トランジスタのソース・ドレイン領域の表面上にシリサイド膜 3 3 が残る。その後、8 0 0 °C の温度で 3 0 秒間熱処理して、シリサイド膜 3 3 を安定化させる。

【 0 0 2 7 】

次に、図 9 (b) , 図 1 6 (c) に示すように、半導体基板 1 0 の上側全面に絶縁膜 3 4 を形成する。この絶縁膜 3 4 は、例えば Si ON を 2 0 0 nm、Si O₂ を 3 0 0 nm の厚さに積層して形成する。その後、絶縁膜 3 4 の上に SOG (Spin On Glass) 膜 3 5 を塗布して表面を平坦化する。

次に、SOG 膜 3 5 の上にフォトリソ膜 (図示せず) を形成し、露光及び現像工程を経て、コンタクトホール形成部に窓を設ける。そして、この窓を介して SOG 膜 3 5 及び絶縁膜 3 4 をエッチングして、図 9 (c) , 図 1 7 (a) に示すように、リセットトランジスタのドレインである不純物領域 4 6 及び所定のシリサイド膜 3 3 に到達するコンタクトホール 3 5 a を形成する。その後、レジスト膜を除去する。

【 0 0 2 8 】

次に、図 1 0 (a) , 図 1 7 (b) に示すように、全面に Ti を 2 0 nm、Ti N を 5 0 nm の厚さにスパッタ形成して、Ti 膜 3 6 を形成する。その後、図 1 0 (b) , 図 1 7 (c) に示すように、半導体基板 1 0 の上側全面にタングステン (W) 膜 3 7 を 8 0 0 nm の厚さに形成し、コンタクトホール 3 5 a をタングステンで埋め込む。

【 0 0 2 9 】

その後、図 1 8 (a) に示すように、タングステン膜 3 7 を CMP (chemical mechanical polishing) 研磨してコンタクトホール 3 5 a 以外の部分のタングステン膜 3 7 を除去する。これにより、タングステンプラグ 3 7 a が形成される。そして、Ti を 2 0 nm、Ti N を 5 0 nm の厚さに形成し、その上に Al Cu を 5 0 0 nm、Ti を 5 nm、Ti N を 1 0 0 nm の厚さに形成し、導電膜 3 8 を形成する。

【 0 0 3 0 】

次いで、図 1 0 (c) , 図 1 8 (b) に示すように、導電膜 3 8 をパターンニングして、所定の配線 3 9 を形成する。このようにして、本実施の形態の CMOS イメージセンサが完成する。

上記のようにして形成された CMOS イメージセンサは、リセットトランジスタ T 1 のドレイン部以外の部分では、トランジスタのソース・ドレインと配線とがシリサイド膜 3 3 を介して電氣的に接続されているので、接続部のコンタクト抵抗が小さい。また、フォトダイオード P D と直接接続したリセットトランジスタ T 1 のドレイン部にはシリサイド膜が設けられていないので、金属原子に起因するリーク電流の増大が防止され、S / N 比が向上する。

【 0 0 3 1 】

図 2 0 は本実施の形態の CMOS イメージセンサの動作を示すタイミングチャートである。リセット信号 R S T は一定の周期で “ H ” になる信号であり、このリセット信号 R S T が “ H ” になると、フォトダイオード P D のカソード側の電位 (図 2 1 に A で示す部分に対応する部分の電位) が一定の電圧 (V R) になる。その後、リセット信号 R S T が “ L ” になった後、フォトダイオード P D に光が到達すると、フォトダイオード P D に光の強度に応じた電荷が発生する。この電荷により A 点の電位、すなわちトランジスタ T 2 のゲート電圧が変化する。セレクト信号 S L C T が “ H ” になると、そのときの A 点の電位に応じた電気信号がトランジスタ T 3 を介して読み出し回路 (周辺回路) に伝達される。このようにして、フォトダイオード P D に到達した光の強さに応じた信号が周辺回路に伝達される。

【 0 0 3 2 】

以下、上記の方法により CMOS イメージセンサを実際に製造し、リーク電流の影響を調べた結果について説明する。実施例として、上記の方法により CMOS イメージセンサを製造した。また、リセットトランジスタ T 1 のドレインの表面にもシリサイド膜を形成したこと以外は実施例と同様にして、比較例の CMOS イメージセンサを製造した。比較例の CMOS イメージセンサでは、シリサイド膜形成工程において、図 1 9 に示すようにフォトダイオード形成部のみ (図中

破線で示す部分) をシリコン酸化膜で覆っている。

【 0 0 3 3 】

周辺リーク電流成分及び面積リーク電流成分を直接測定することはできないが、A/D変換器の出力からリーク電流を推定することができる。すなわち、CMOSイメージセンサを暗所において駆動し、A/D変換器の出力コードにしきい値を設定し、そのしきい値よりも大きい信号の発生頻度により、リーク電流の大きさを比較することができる。具体的には、A/D変換器の出力コードが500(500mVに相当)以上の信号の発生頻度を調べた。その結果、比較例のCMOSイメージセンサでは発生頻度が数十個(A/D変換器のサンプリング時間は26msec)であったのに対し、実施例のCMOSイメージセンサでは0～数個であった。このことから、実施例のCMOSイメージセンサは比較例のCMOSイメージセンサに比べてリーク電流が少ないことが確認された。また、実施例のCMOSイメージセンサでは、リセットトランジスタT1のドレイン部にシリサイド膜が形成されていなく、コンタクト抵抗が若干高いと考えられるが、正常に動作しており、実用上支障ないことが確認できた。実施例のCMOSイメージセンサでは、リセットトランジスタT1のドレイン部以外のソース・ドレインにシリサイド膜が設けられているので、比較例のCMOSイメージセンサとトランジスタパラメータが同一であり、設計上及び使用上の問題もなかった。

【 0 0 3 4 】

なお、本発明のCMOSイメージセンサは、リセットトランジスタのゲート電圧が“H”及び“L”の2段階に変化させるものに限定されず、3段階又はそれ以上に変化させて駆動するCMOSイメージセンサにも適用できる。

【 0 0 3 5 】

【発明の効果】

以上説明したように、本発明のCMOSイメージセンサは、フォトダイオードの不純物領域と接続する不純物領域を有するMOSトランジスタ(リセットトランジスタ)のソース・ドレインのうちフォトダイオード側の不純物領域の上に、シリサイド膜が形成されていないので、金属原子に起因するリーク電流の増大が防止され、ノイズが低減される。また、リセットトランジスタを除くMOSトラ

ンジスタの不純物領域の上に、シリサイド膜が形成されており、このシリサイド膜を介して配線と不純物領域とが電氣的に接続されるので、配線と不純物領域との間のコンタクト抵抗が低く、電氣的特性の低下が回避される。

【図面の簡単な説明】

【図 1】

図 1 は本発明の実施の形態の CMOS イメージセンサのブロック図です。

【図 2】

図 2 は同じくその CMOS イメージセンサの 1 画素を示す平面図である。

【図 3】

図 3 は実施の形態の CMOS イメージセンサの製造方法を示す図であり、フォトダイオード及びリセットトランジスタ形成部における断面図（その 1）である。

【図 4】

図 4 は実施の形態の CMOS イメージセンサの製造方法を示す図であり、フォトダイオード及びリセットトランジスタ形成部における断面図（その 2）である。

【図 5】

図 5 は実施の形態の CMOS イメージセンサの製造方法を示す図であり、フォトダイオード及びリセットトランジスタ形成部における断面図（その 3）である。

【図 6】

図 6 は実施の形態の CMOS イメージセンサの製造方法を示す図であり、フォトダイオード及びリセットトランジスタ形成部における断面図（その 4）である。

【図 7】

図 7 は実施の形態の CMOS イメージセンサの製造方法を示す図であり、フォトダイオード及びリセットトランジスタ形成部における断面図（その 5）である。

【図 8】

図 8 は実施の形態の CMOS イメージセンサの製造方法を示す図であり、フォトダイオード及びリセットトランジスタ形成部における断面図（その 6）である。

【図 9】

図 9 は実施の形態の CMOS イメージセンサの製造方法を示す図であり、フォトダイオード及びリセットトランジスタ形成部における断面図（その 7）である。

【図 1 0】

図 1 0 は実施の形態の CMOS イメージセンサの製造方法を示す図であり、フォトダイオード及びリセットトランジスタ形成部における断面図（その 8）である。

【図 1 1】

図 1 1 は実施の形態の CMOS イメージセンサの製造方法を示す図であり、周辺 CMOS 回路形成部における断面図（その 1）である。

【図 1 2】

図 1 2 は実施の形態の CMOS イメージセンサの製造方法を示す図であり、周辺 CMOS 回路形成部における断面図（その 2）である。

【図 1 3】

図 1 3 は実施の形態の CMOS イメージセンサの製造方法を示す図であり、周辺 CMOS 回路形成部における断面図（その 3）である。

【図 1 4】

図 1 4 は実施の形態の CMOS イメージセンサの製造方法を示す図であり、周辺 CMOS 回路形成部における断面図（その 4）である。

【図 1 5】

図 1 5 は実施の形態の CMOS イメージセンサの製造方法を示す図であり、周辺 CMOS 回路形成部における断面図（その 5）である。

【図 1 6】

図 1 6 は実施の形態の CMOS イメージセンサの製造方法を示す図であり、周辺 CMOS 回路形成部における断面図（その 6）である。

【図 1 7】

図 1 7 は実施の形態の CMOS イメージセンサの製造方法を示す図であり、周辺 CMOS 回路形成部における断面図（その 7）である。

【図 1 8】

図 1 8 は実施の形態の CMOS イメージセンサの製造方法を示す図であり、周辺 CMOS 回路形成部における断面図（その 8）である。

【図 1 9】

図 1 9 は比較例の CMOS イメージセンサを示す平面図である。

【図 2 0】

図 2 0 は実施の形態の CMOS イメージセンサの動作を示すタイミングチャートである。

【図 2 1】

図 2 1 は CMOS イメージセンサの 1 画素の等価回路図である。

【符号の説明】

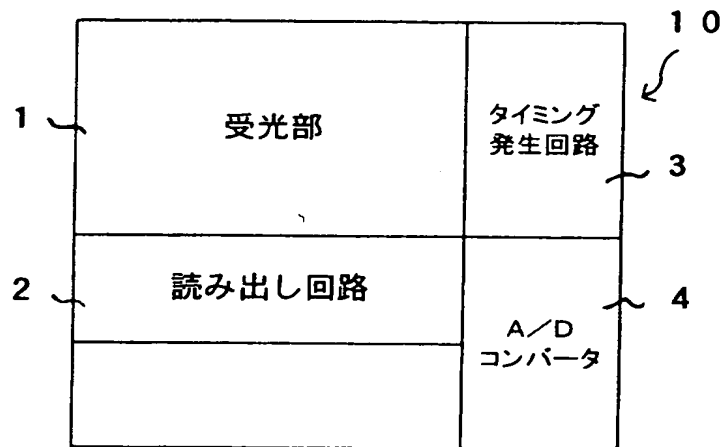
- 1 0 … 半導体基板、
- 1 1 … シリコン窒化膜（SiN 膜）、
- 1 2, 1 3, 1 7, 2 0, 2 3, 2 4, 2 5, 2 6, 2 8, 3 0, 3 1 … レジスト膜、
- 1 6 … フィールド酸化膜、
- 1 8 … シリコン酸化膜（ゲート酸化膜）、
- 1 9 … アモルファスシリコン膜、
- 2 1 … WSi 膜、
- 2 2, 2 7 … シリコン酸化膜、
- 2 9 … サイドウォール、
- 3 2, 3 6 … Ti 膜、
- 3 3 … シリサイド膜、
- 3 4 … 絶縁膜、
- 3 5 … SOG 膜、
- 3 5 a … コンタクトホール、

3 7 … W 膜、
3 7 a … プラ グ、
3 8 … 導 電 膜、
3 9 … 配 線、
4 1 , 4 5 , 4 6 , 4 9 … N 型 不 純 物 領 域、
4 2 … N ウ ェ ル、
4 3 … P 型 不 純 物 領 域 (ウ ェ ル) 、
4 4 … P ウ ェ ル、
4 7 , 4 8 … P 型 不 純 物 領 域、
P D … フ ォ ト ダ イ オ ー ド、
T 1 , T 2 , T 3 … M O S ト ラ ン ジ ス タ。

【書類名】 図面

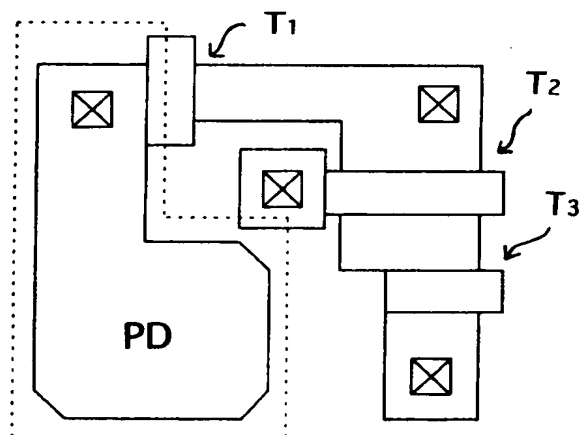
【図 1】

イメージセンサブロック図



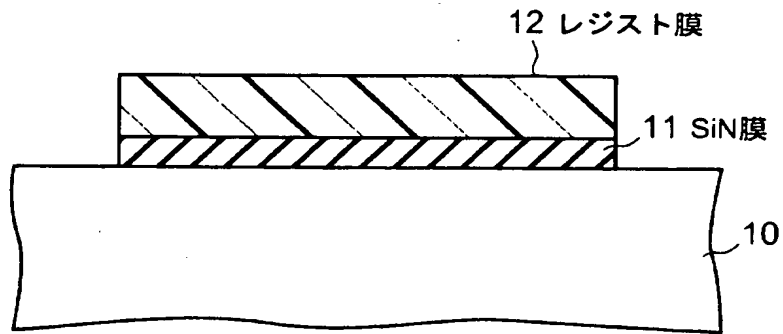
【図 2】

イメージセンサの1画素

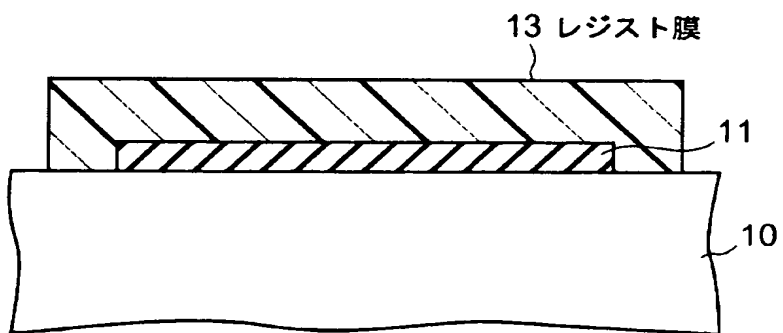


【図 3】

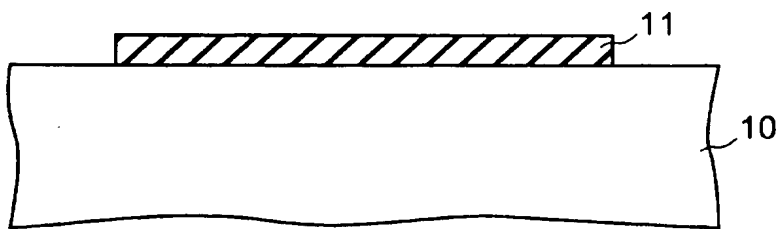
CMOSイメージセンサの製造方法
(フォトダイオード及びリセットトランジスタ形成部1)



(a)



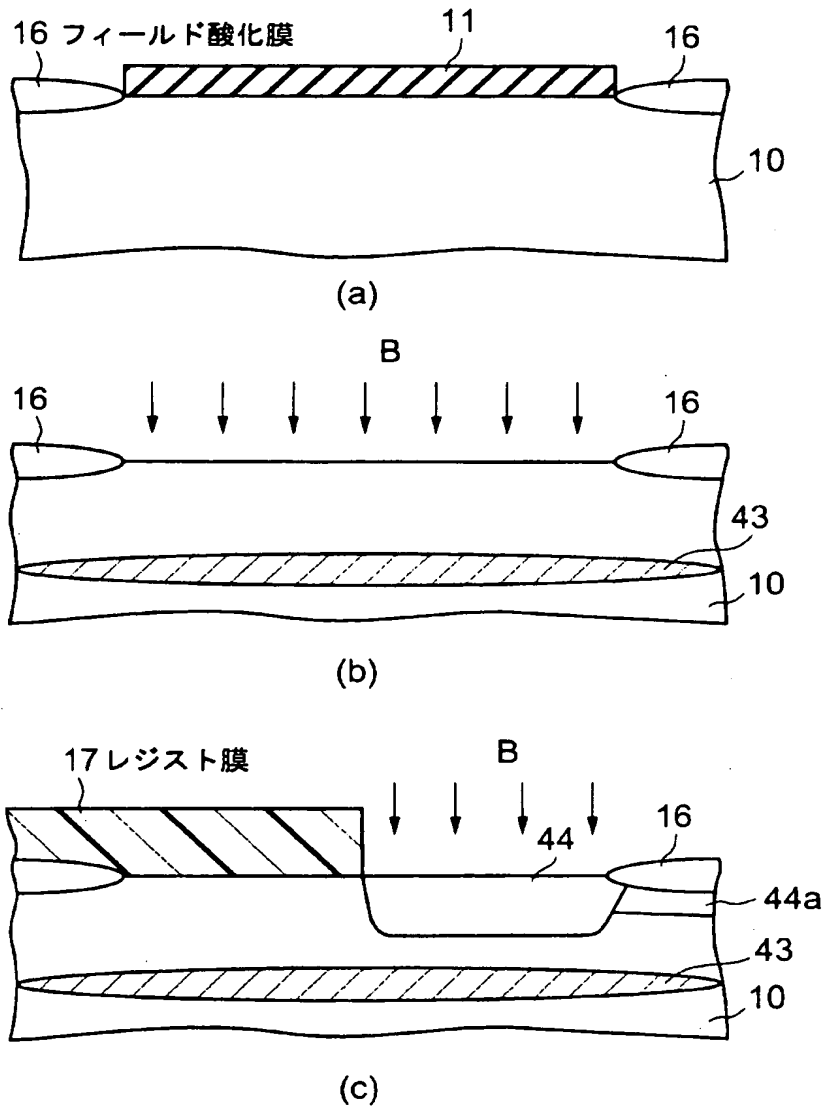
(b)



(c)

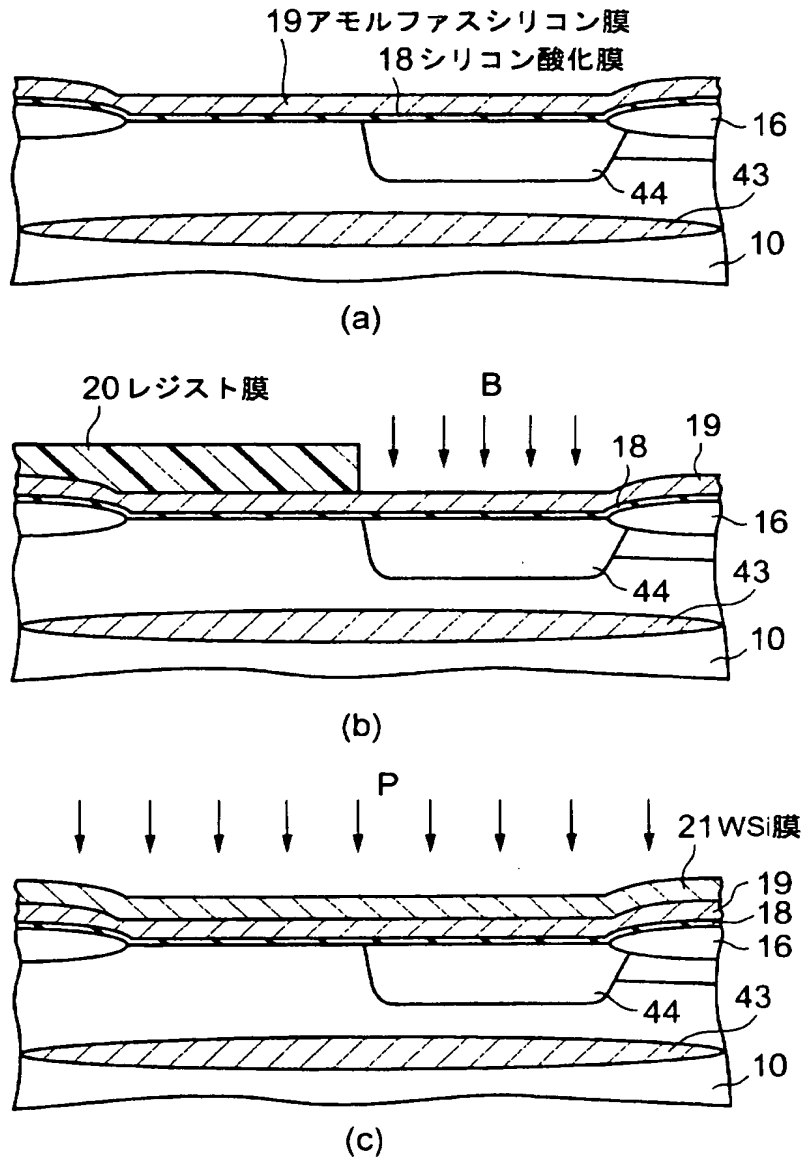
【図 4】

CMOSイメージセンサの製造方法
(フォトダイオード及びリセットトランジスタ形成部2)



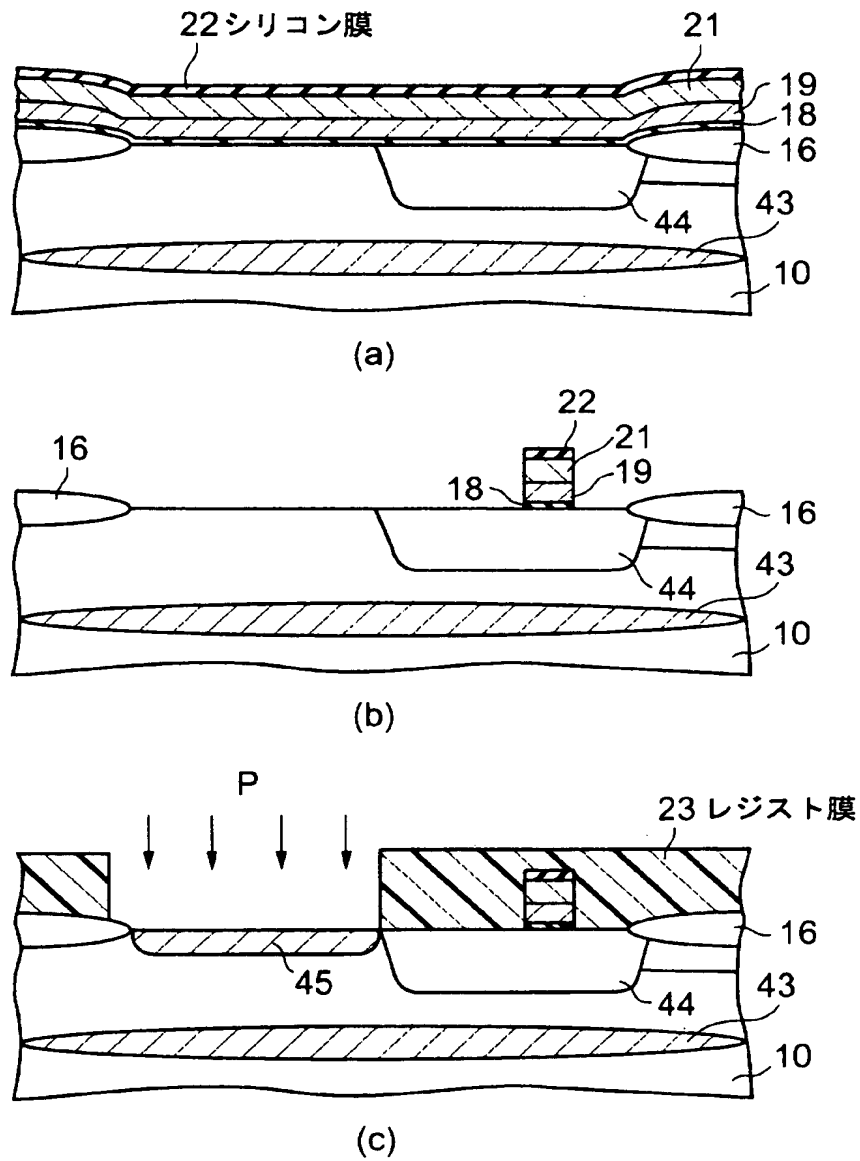
【図 5】

CMOSイメージセンサの製造方法
(フォトダイオード及びリセットトランジスタ形成部3)



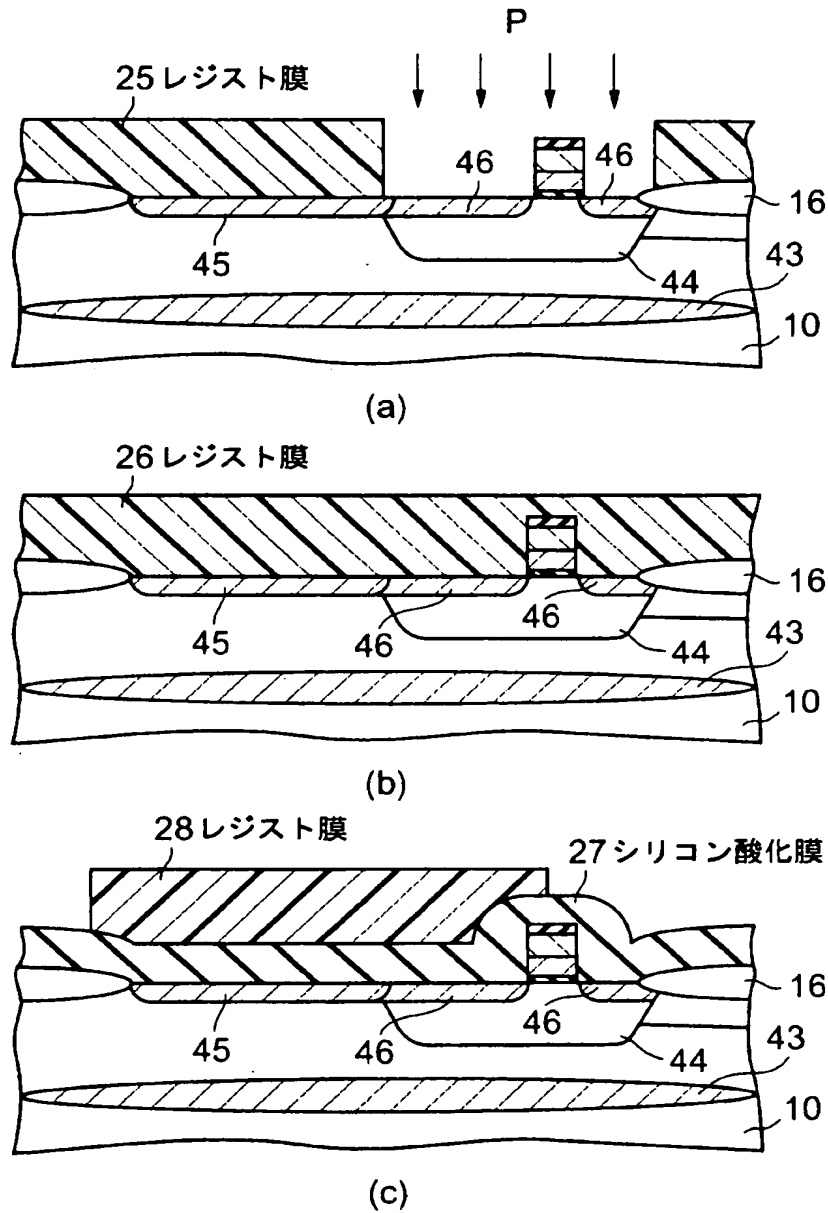
【図 6】

CMOSイメージセンサの製造方法
(フォトダイオード及びリセットトランジスタ形成部4)



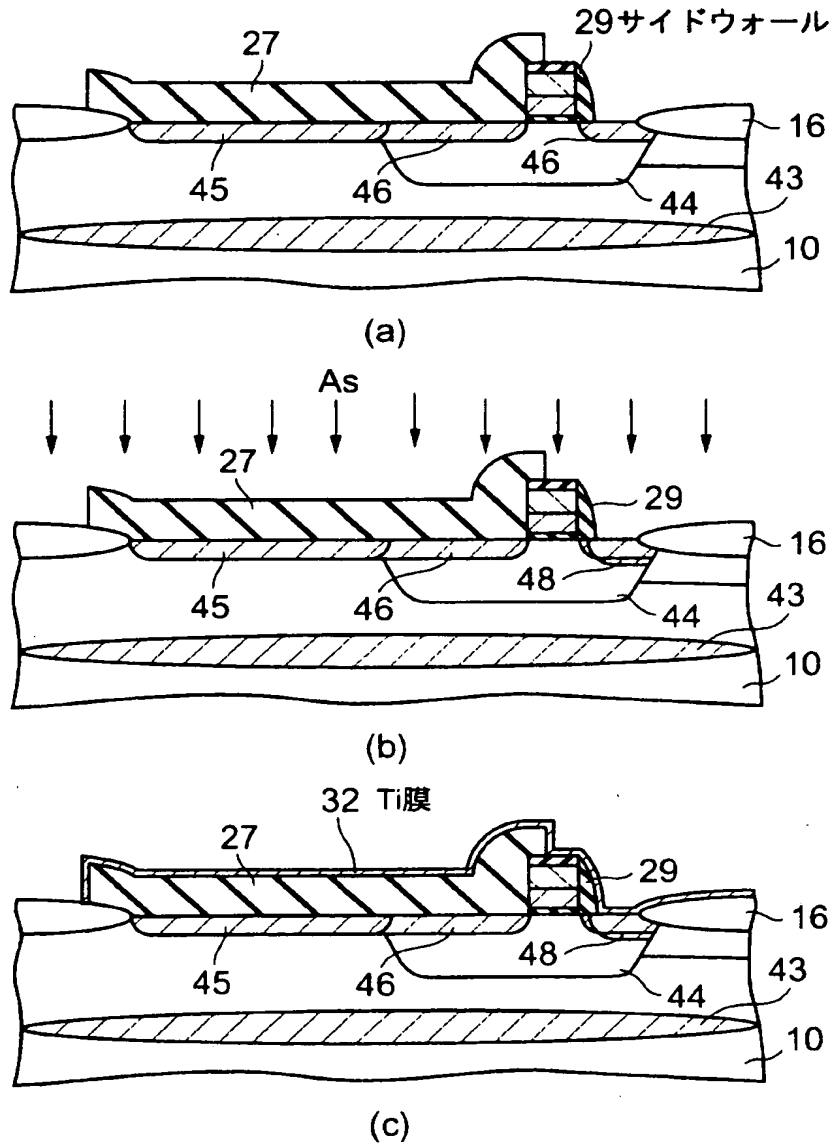
【図 7】

CMOSイメージセンサの製造方法
(フォトダイオード及びリセットトランジスタ形成部5)



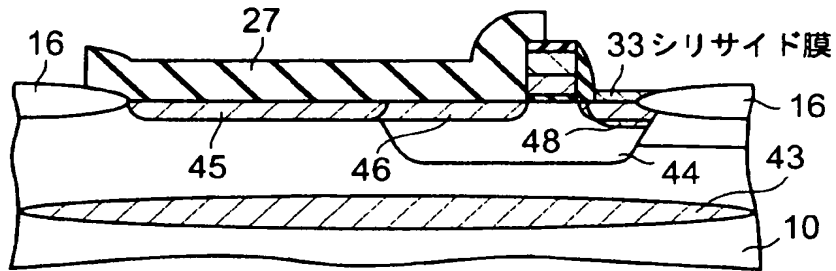
【図 8】

CMOSイメージセンサの製造方法
(フォトダイオード及びリセットトランジスタ形成部6)

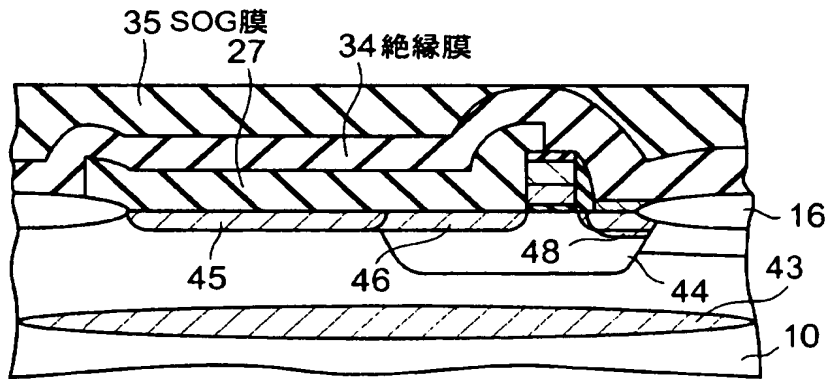


【図 9】

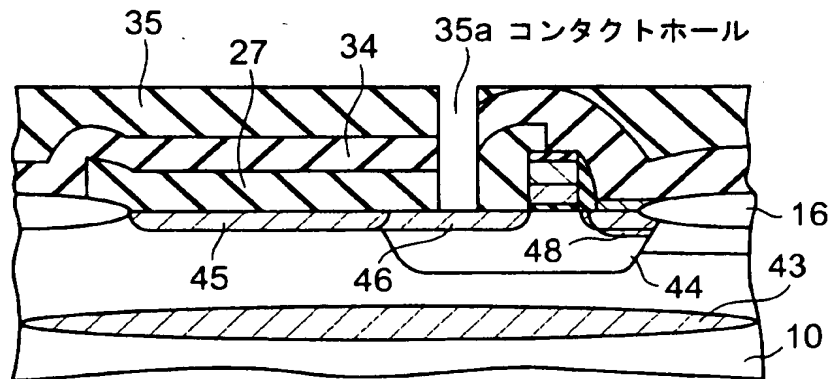
CMOSイメージセンサの製造方法
(フォトダイオード及びリセットトランジスタ形成部7)



(a)



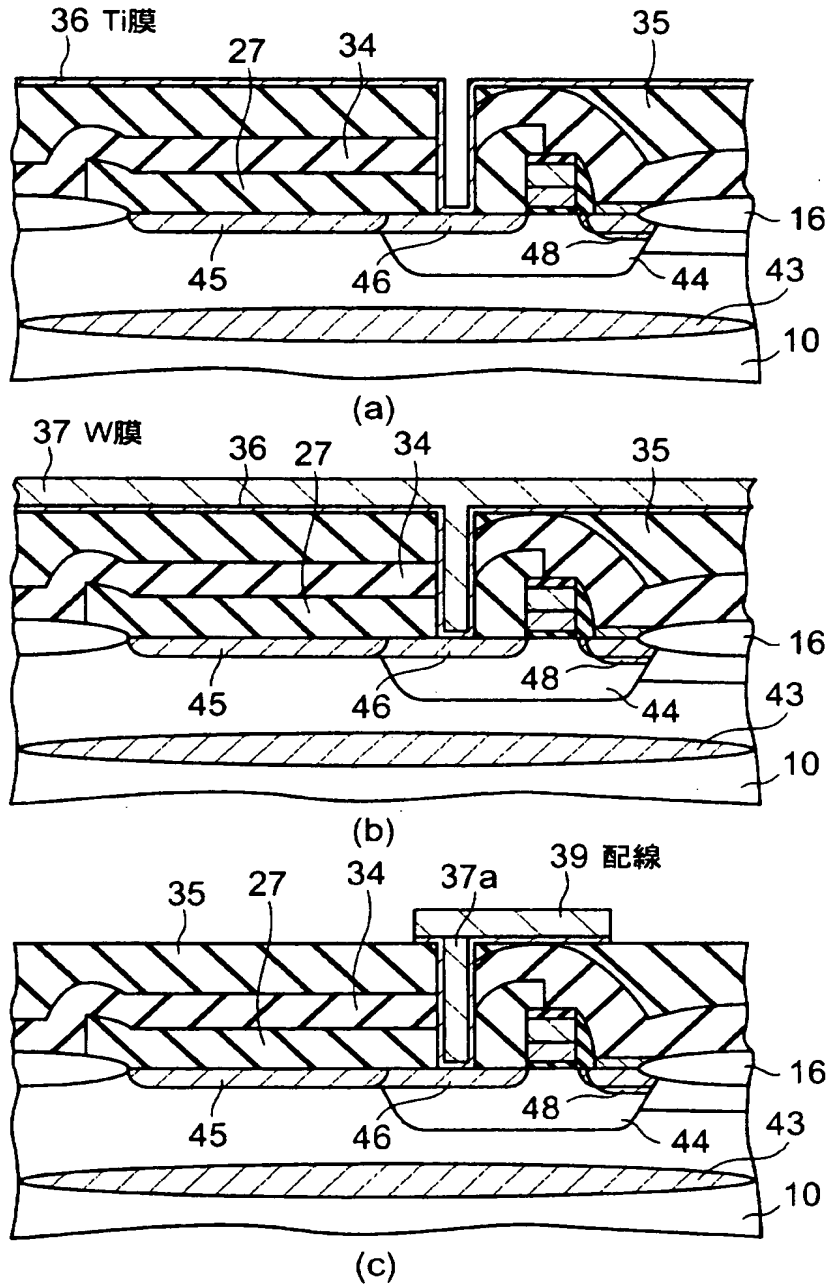
(b)



(c)

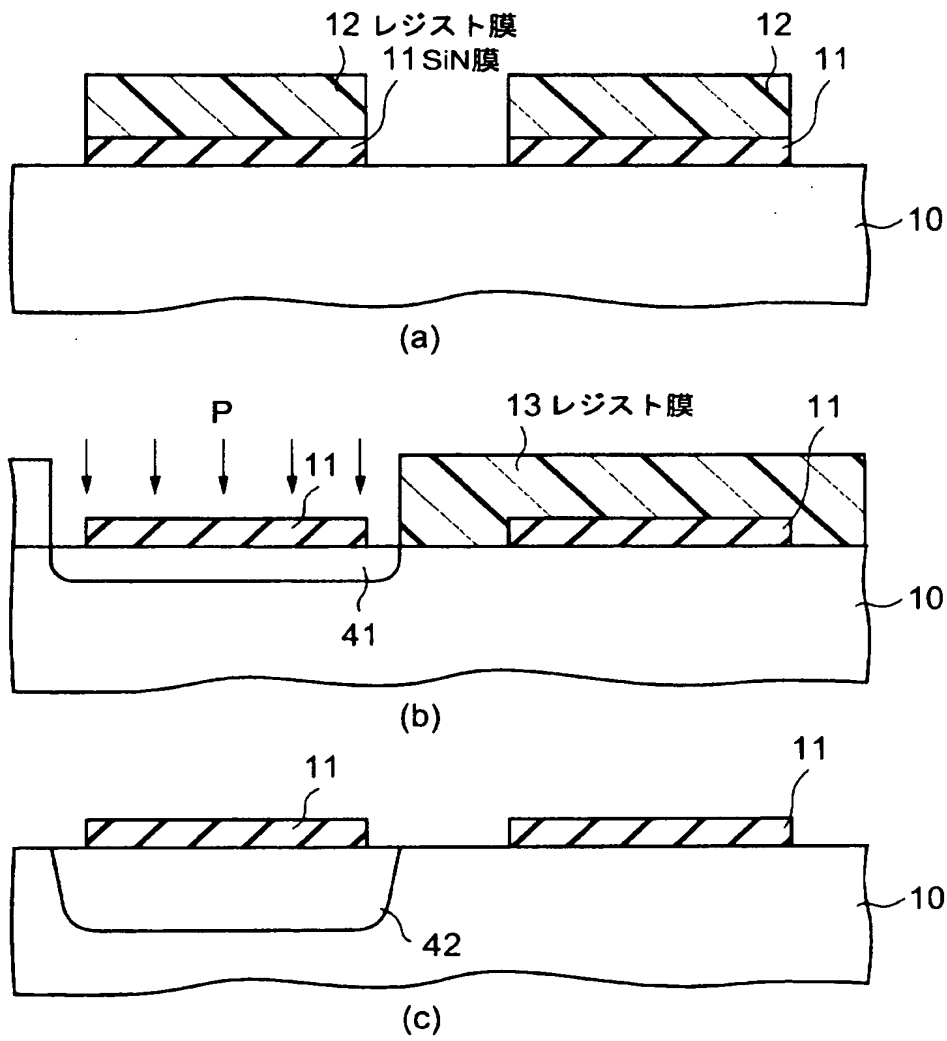
【図10】

CMOSイメージセンサの製造方法
(フォトダイオード及びリセットトランジスタ形成部8)



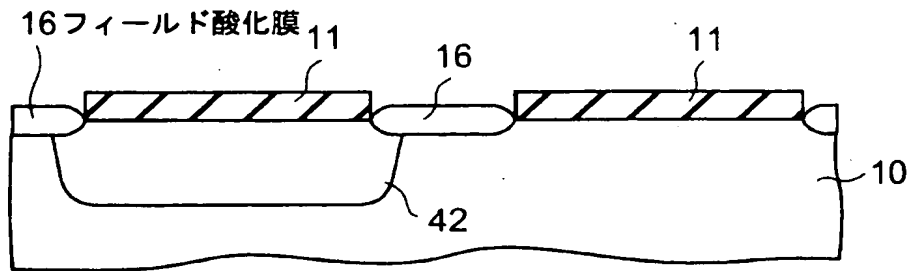
【図 1 1】

CMOSイメージセンサの製造方法
(周辺CMOS回路形成部1)

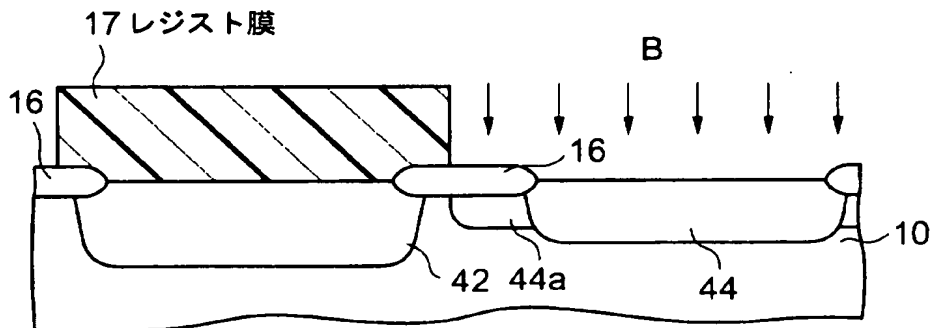


【図 12】

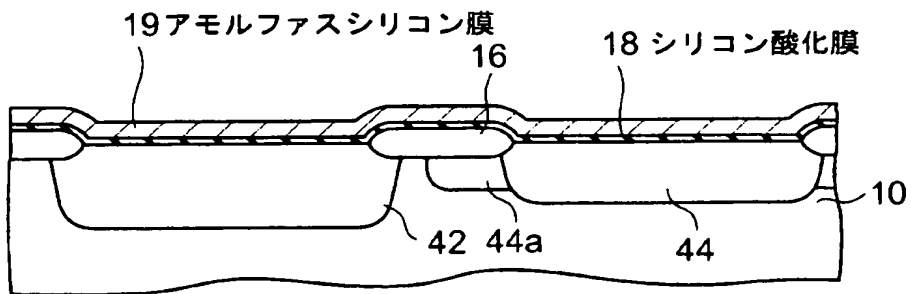
CMOSイメージセンサの製造方法
(周辺CMOS回路形成部2)



(a)



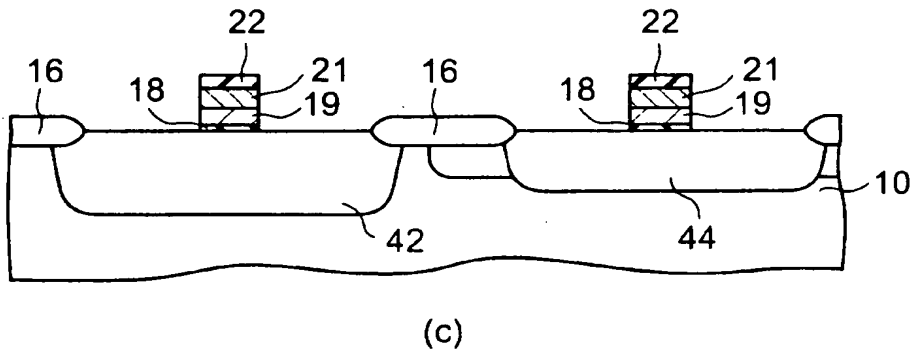
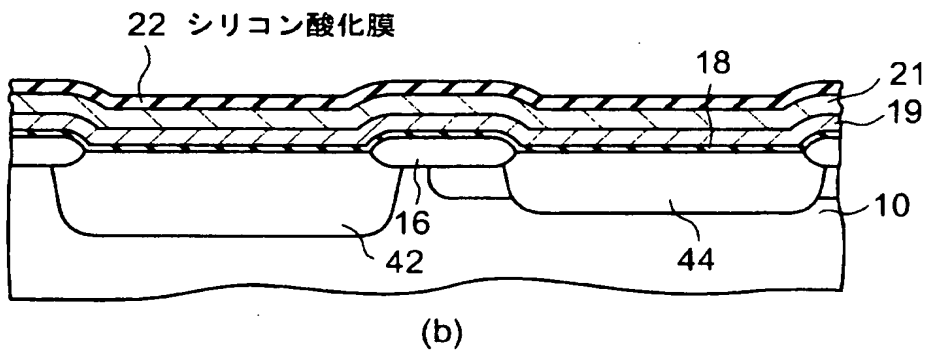
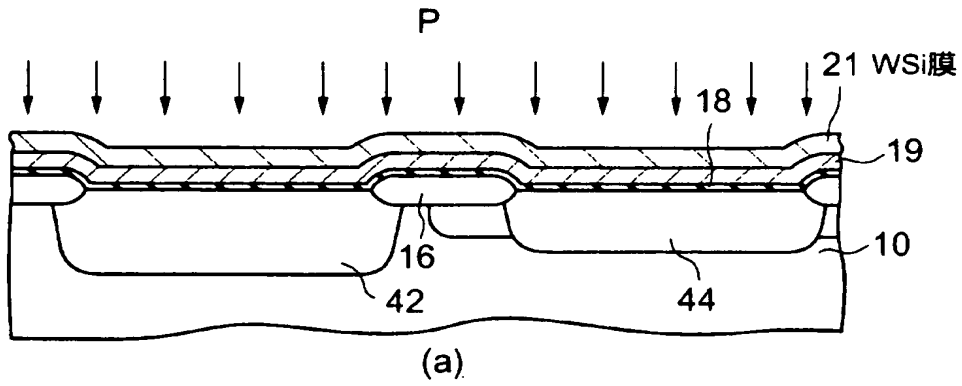
(b)



(c)

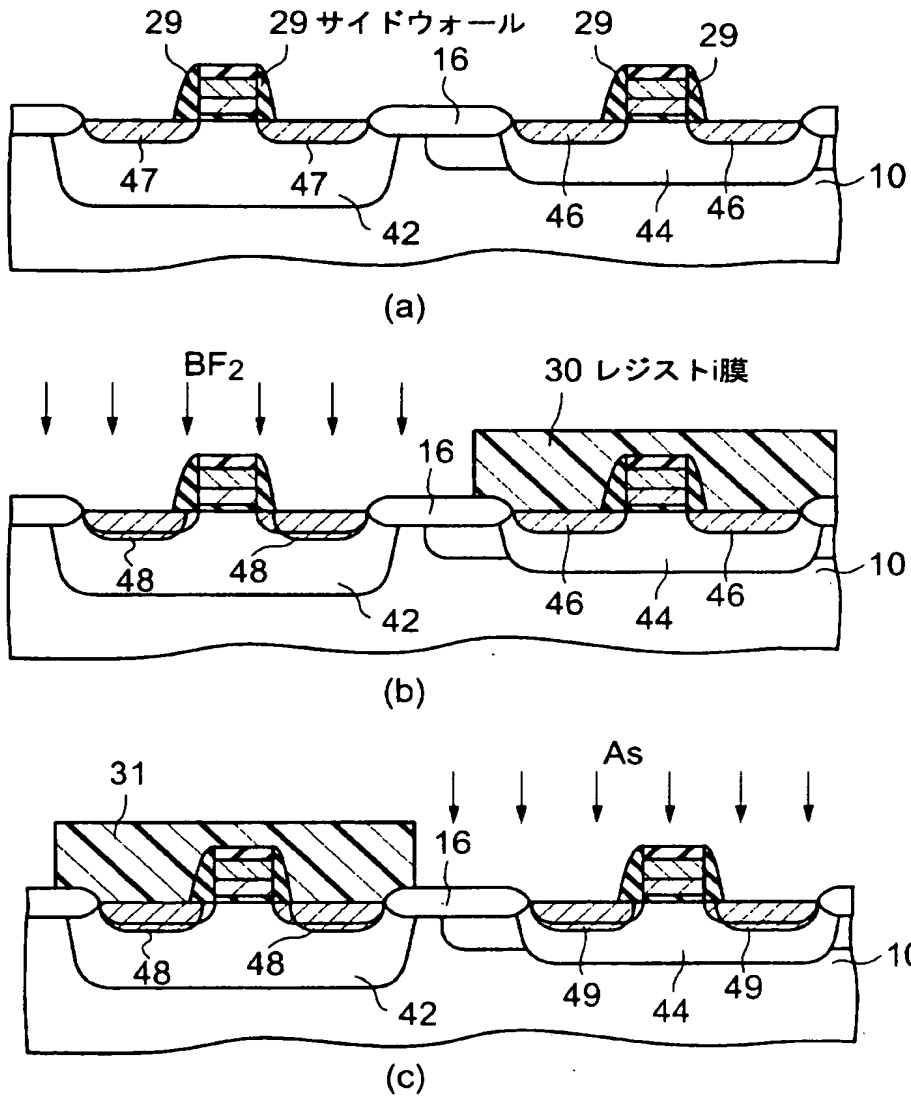
【図 1 3】

CMOSイメージセンサの製造方法
(周辺CMOS回路形成部3)



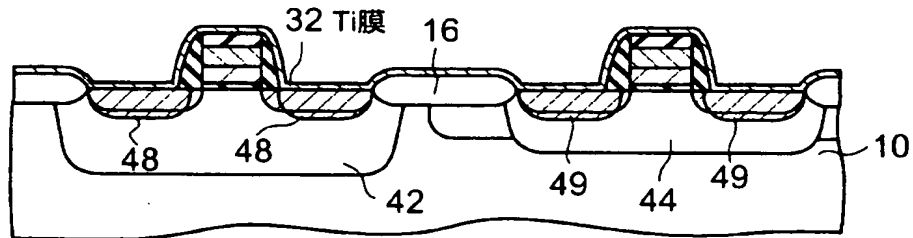
【図 1 5】

CMOSイメージセンサの製造方法
(周辺CMOS回路形成部5)

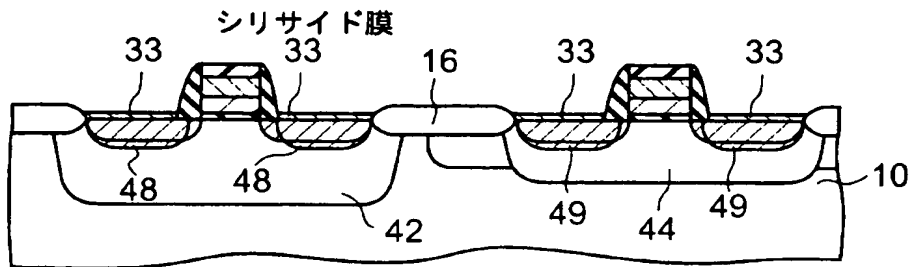


【図 1 6】

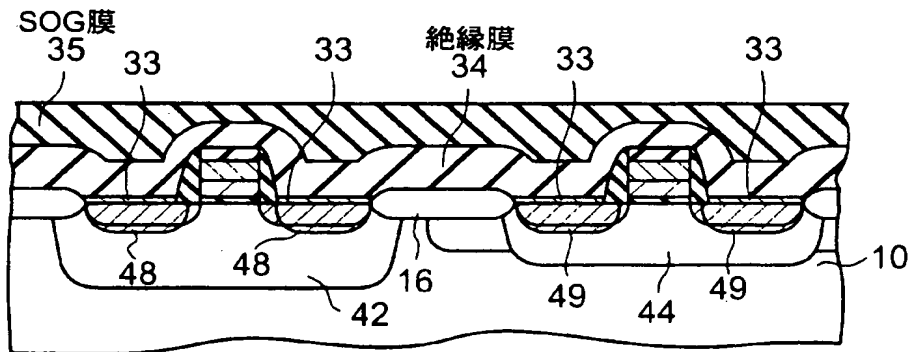
CMOSイメージセンサの製造方法
(周辺CMOS回路形成部6)



(a)

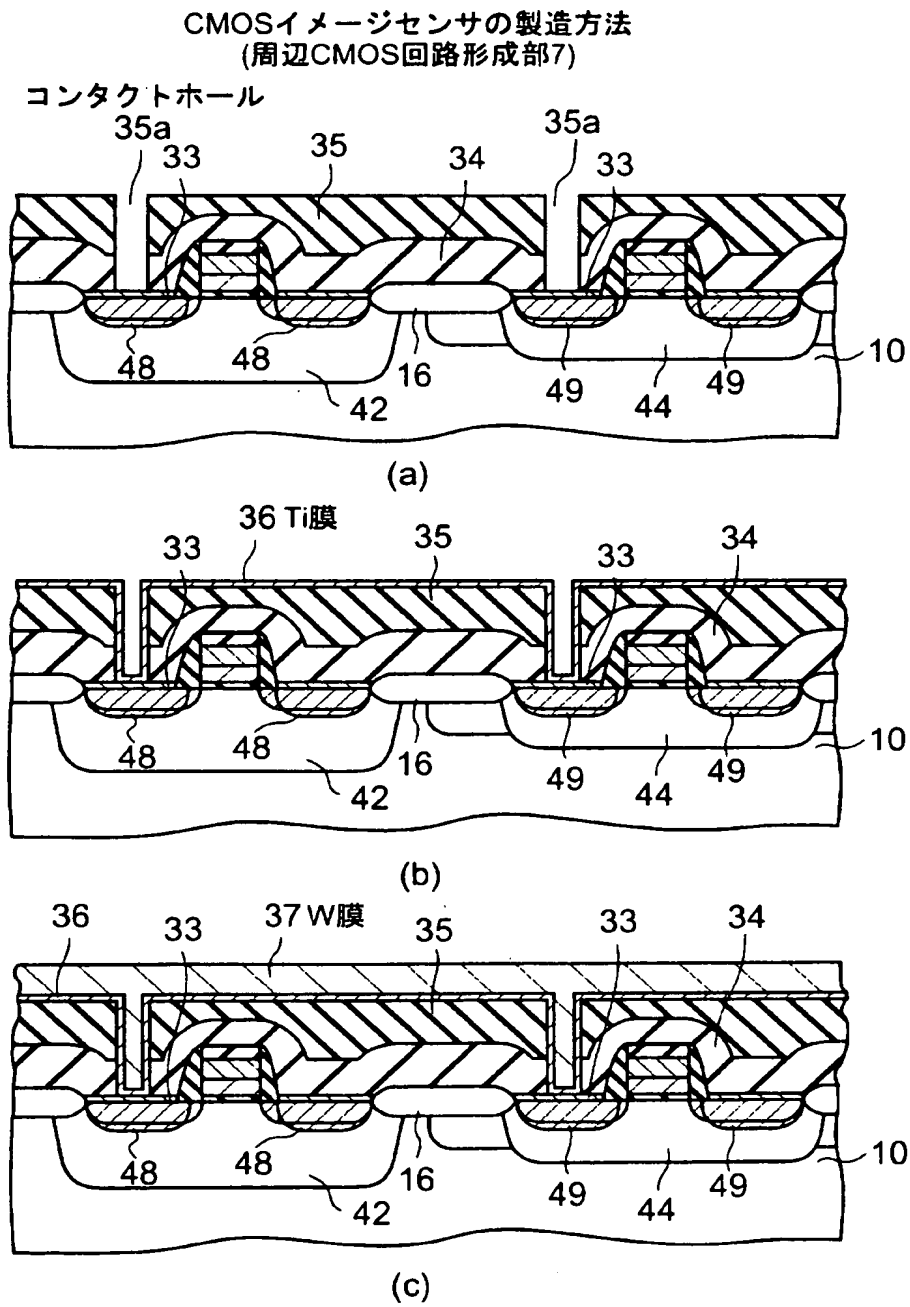


(b)



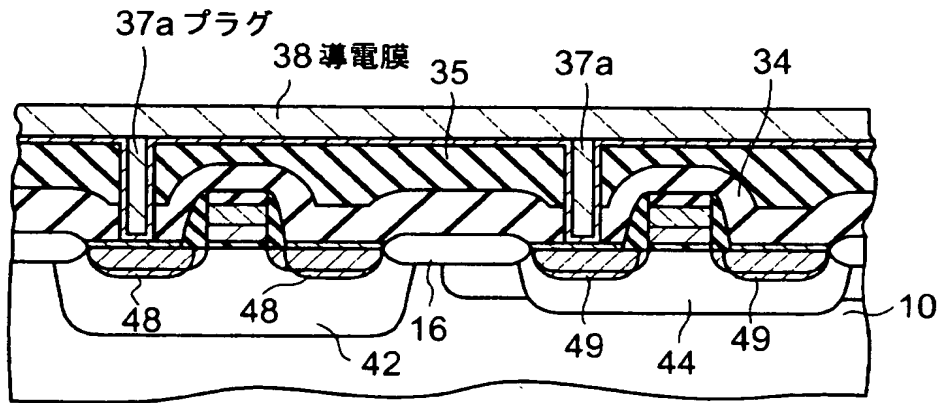
(c)

【図17】

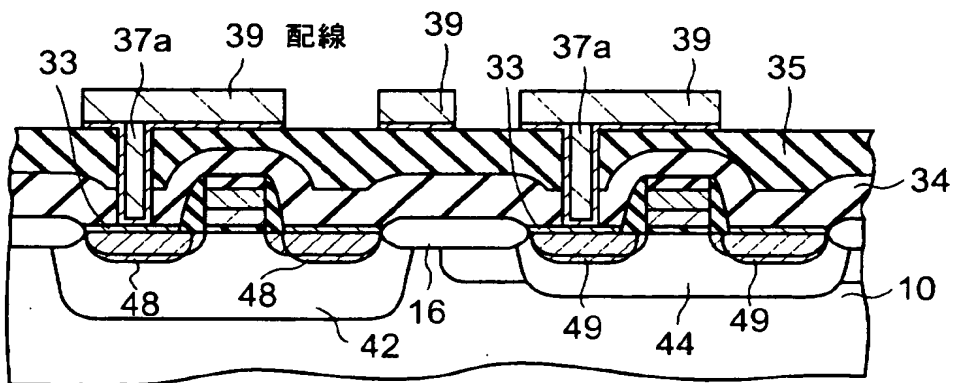


【図 18】

CMOSイメージセンサの製造方法 (周辺CMOS回路形成部8)



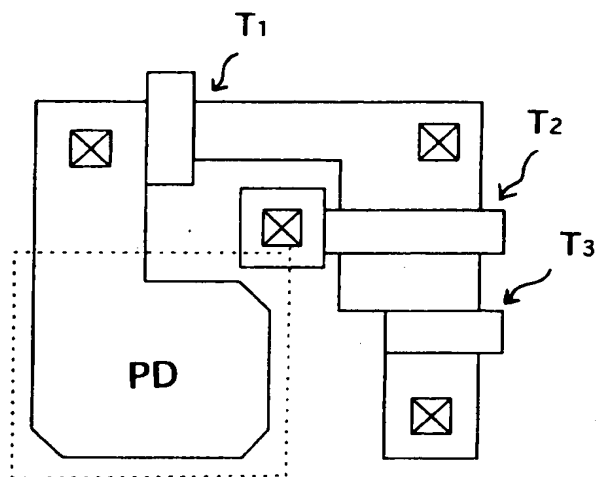
(a)



(b)

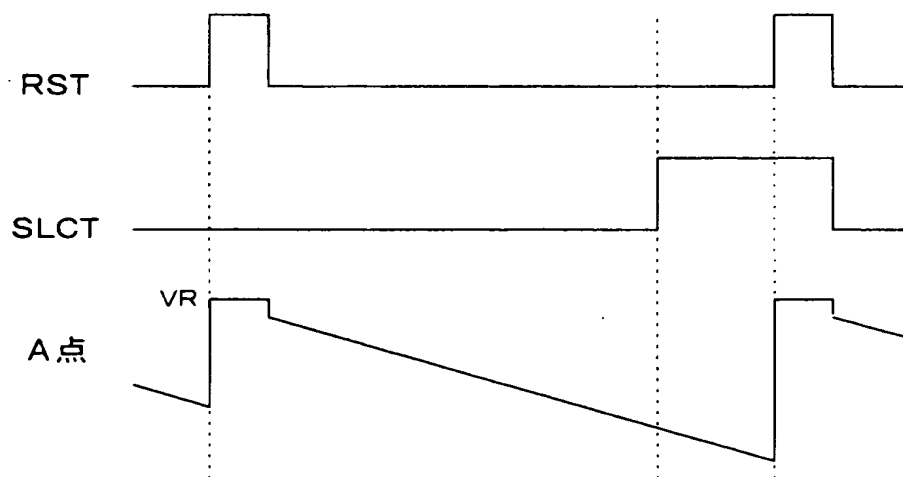
【図 19】

比較例のイメージセンサ



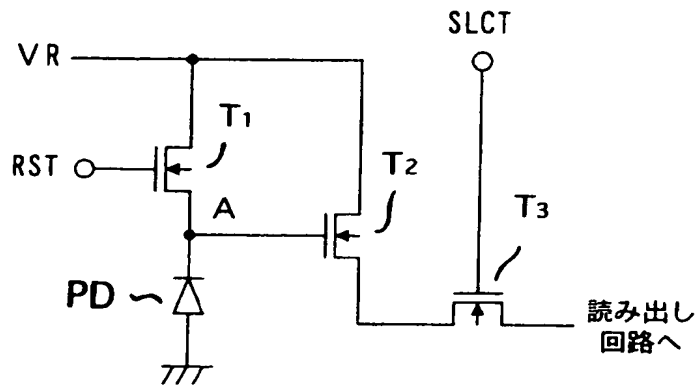
【図 20】

タイミングチャート



【図 2 1】

CMOSイメージセンサ



【書類名】 要約書

【要約】

【課題】 MOSトランジスタのソース・ドレインと配線との間の抵抗値を低減し、リセットトランジスタのドレイン部でのリーク電流を抑制したCMOSイメージセンサ及びその製造方法を提供することを目的とする。

【解決手段】 フォトダイオードPD形成部、及びフォトダイオードPDの不純物領域と接続した不純物領域をドレインとするリセットトランジスタT1のドレイン部の表面にシリサイド膜を形成することなく、リセットトランジスタT1のソース部及び他のMOSトランジスタのソース・ドレイン部の表面にシリサイド膜を形成する。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社